

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-014495
(43)Date of publication of application : 18.01.1990

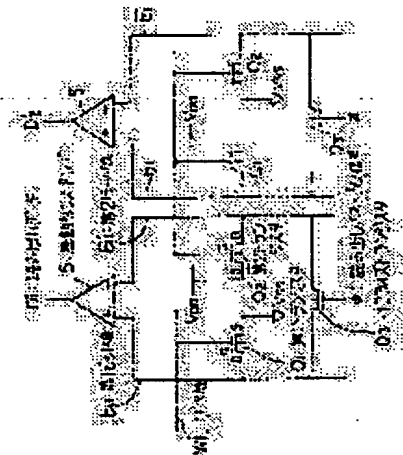
(51)Int.Cl. G11C 17/18

(21)Application number : 63-163604 (71)Applicant : FUJITSU LTD
(22)Date of filing : 30.06.1988 (72)Inventor : MIURA DAISUKE
ASAI KAZUYUKI

(54) READ ONLY MEMORY

(57)Abstract:

PURPOSE: To attain high speed of readout by providing a memory cell comprising a transistor (TR) pair whose gate is connected to a word line and a bit line pair of 2 line one pair in common, giving a ground potential to one bit line and giving a power potential to other bit line and detecting a difference voltage to the bit line pair.
CONSTITUTION: Gates of 1st and 2nd TRs Q1, Q2 constituting each memory cell are connected in common to a word line WL, the bit line is constituted by it line pair of 2 line one pair, the source S of the 1st TR Q1 is connected to a ground potential VSS and the source S of the TR Q2 is connected to a power potential VDD. Then one bit line potential descends from an intermediate potential VMID to ground potential VSS and other bit line potential VMID rises from the intermediate potential to the power potential VDD, a potential difference is caused to the bit line pair and the potential difference is detected by a difference sense amplifier 5. Thus, the bit line potential is increased/decreased from the middle of the ground potential and the readout time is reduced.



LEGAL STATUS

[Date of request for examination]
[Date of sending the examiner's decision of rejection]
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
[Date of final disposal for application]
[Patent number]
[Date of registration]
[Number of appeal against examiner's decision of rejection]
[Date of requesting appeal against examiner's decision of rejection]
[Date of extinction of right]

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平2-14495

⑬ Int.Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)1月18日

G 11 C 17/18

7341-5B

G 11 C 17/00

3 0 6 Z

審査請求 未請求 請求項の数 1 (全6頁)

⑮ 発明の名称 リード・オンリ・メモリ

⑯ 特 願 昭63-163604

⑰ 出 願 昭63(1988)6月30日

⑱ 発 明 者 三 浦 大 祐 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑲ 発 明 者 浅 井 一 行 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑳ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

㉑ 代 理 人 弁理士 井 桁 貞一 外2名

明 細 書

1. 発明の名称

リード・オンリ・メモリ

2. 特許請求の範囲

2本一対のビット線対(b_0 , $\overline{b_0}$)と、
ゲート(G)がワード線(WL)に共通接続
され、前記一方のビット線(b_0)に接地電位
(V_{SS})を与える第1のトランジスタ(Q_1)お
よび他方のビット線($\overline{b_0}$)に電源電位(V_{DD})
を与える第2のトランジスタ(Q_2)のトランジ
スタ対からなるメモリセルと、

前記ビット線対(b_0 , $\overline{b_0}$)の差電圧を検出
する差動センスアンプ(5)と、

を具備したことを特徴とするリード・オンリ・
メモリ。

3. 発明の詳細な説明

(概要)

本発明は、リード・オンリ・メモリ(以下、
ROMという。)に係り、特にマスクROMに関
し、

回路的にビット線電位の変化時間の短縮化を図
り、もって読み出し動作の高速化を可能とする
ROMを提供することを目的とし、

2本一対のビット線対と、ゲートがワード線に
共通接続され、前記一方のビット線に接地電位を
与える第1のトランジスタおよび他方のビット線
に電源電位を与える第2のトランジスタのトラン
ジスタ対からなるメモリセルと、前記ビット線対
の差電圧を検出する差動センスアンプと、を具備
して構成する。

(産業上の利用分野)

本発明は、ROMに係り、特にマスクROMに
関する。

マスクROMは、データのプログラム(書き込
み)をウエーハプロセス中に行うものである。通

常は、ユーザが指定したプログラムデータに基づいてメーカー間でマスクパターンを作成し、このマスクパターンによりプログラムを行う。マスクROMのプログラム方式には主として3種類ある。1つはメモリセル・トランジスタの有無で“1”、“0”を定義する拡散層プログラム方式、2つはメモリセル・トランジスタのしきい値電圧を変えることによりプログラムするイオン注入プログラム方式、3つはコンタクト孔の有無により“1”、“0”を定義するコンタクト孔プログラム方式である。このようなマスクROMは記憶密度が高いことから、多量データの高速読み出しを必要とする画像処理装置の画像メモリ等に好適である。
〔従来の技術〕

まず、第4図に一般的なマスクROMの概要図を示す。第4図において、Xアドレスデータ $A_{00} \sim A_{nn}$ が入力されると、一旦アドレスバッファ1内に格納される。Xアドレスデータ $A_{00} \sim A_{nn}$ はXデコード2により解読され、メモリセル・マトリクス3内の特定のワード線 W_L を1本選択する。

スアンプ4に接続され、このセンスアンプ4により各トランジスタ Q_{H1} 、 Q_{H2} の出力電圧を検出し、その読み出しデータ D_1 、 D_2 が読み出される。

次に、動作を説明する。

読み出しイネーブル信号 ϕ が“H”レベルになると、各ビット線 b_0 、 b_1 に電源電位 V_{DD} が与えられる。このとき、ワード線 W_L が選択されたとすると、そのワード線 W_L は活性化されて“H”レベルとなる。すると、トランジスタ Q_{H1} はONとなり、電源電圧 V_{DD} は接地電位 V_{SS} に吸収されるので、ビット線 b_0 の出力電圧は“L”レベルであり、したがって出力データ D_1 は“0”である。なお、トランジスタ Q_{H2} は未接続であるから、ビット線 b_1 の出力電圧は“H”レベルのままであり、出力データ D_2 としては“1”となる。

このように、データの読み出し時間は、ビット線電位が電源電位 V_{DD} から接地電位 V_{SS} に立下がるまでの時間で決まる。

〔発明が解決しようとする課題〕

上述したように、従来のマスクROMにおける

一方、このときメモリセル・マトリクス3内のビット線 b に読み出しイネーブル信号 ϕ が与えられると、対応するアドレスのメモリセルの記憶内容がセンスアンプ4により検出され、読み出しデータ $D_{00} \sim D_{nn}$ として出力される。

次に、第5図に従来のマスクROMに用いられている1トランジスタ(NMOS FET)形のメモリセルの例を示す。

第5図において、ワード線 W_L とビット線 b_0 、 b_1 との各交点にはメモリセルとなるトランジスタ Q_{H1} 、 Q_{H2} が配置されている。各トランジスタ Q_{H1} 、 Q_{H2} のゲートはワード線 W_L に共通接続されている。一方のトランジスタ Q_{H1} のドレインはビット線 b_0 に接続されて論理“0”にプログラムされており、ソースは接地電位 V_{SS} に接地されている。他方のトランジスタ Q_{H2} のドレインは未接続であり論理“1”にプログラムされている。トランジスタ Q_{P1} および Q_{P2} はプリチャージ用のトランジスタであり、そのゲートにイネーブル信号 ϕ が入力される。各ビット線 b_0 、 b_1 はセン

データの読み出し時間は、“H”レベルに対応する電源電位 V_{DD} (例えば、5V)から“L”レベルに対応する接地電位 V_{SS} (例えば、0V)にまで低下する時間に依存する。この時間は、結局において、メモリセル・トランジスタ自体の性能と周辺回路の寄生容量に原因するものであるため、根本的になくすことは困難である。しかし、近年の情報量の増大傾向や情報処理の高速化の要請により、読み出し時間の短縮は依然解決すべき課題として残されている。

そこで、本発明は回路的にビット線電位の変化時間の短縮化を図り、もって読み出し動作の高速化を可能とするROMを提供することを目的とする。

〔課題を解決するための手段〕

上記課題を解決するために、本発明は、2本一対のビット線対(b_0 、 $\overline{b_0}$)と、ゲート(G)がワード線(W_L)に共通接続され、前記一方のビット線(b_0)に接地電位(V_{SS})を与える第1のトランジスタ(Q_1)および他方のビット線

($\overline{b_0}$) に電源電位 (V_{DD}) を与える第2のトランジスタ (Q_2) のトランジスタ対からなるメモリセルと、前記ビット線対 (b_0 , $\overline{b_0}$) の差電圧を検出する差動センスアンプ (5) と、を具備して構成する。

〔作用〕

本発明において、ワード線 (WL) の選択時の状態では、ビット線対 (b_0 , $\overline{b_0}$) のそれぞれは互に同電位 (V_{H10}) となっている。この電位 (V_{H10}) は、電源電圧 V_{DD} と接地電位 V_{SS} との中間電位であり、例えば $V_{DD}=5V$, $V_{SS}=0V$ とすると、約2.5Vである。

この状態でワード線 (WL) が選択されたとすると、メモリセルを構成する第1および第2のトランジスタ (Q_1 , Q_2) は双方共にONとなる。すると、第1のトランジスタ (Q_1) は一方のビット線 (b_0) に接地電位 (V_{SS}) を与え、換言すると当該ビット線電位 (V_{H10}) を吸収して接地電位 (V_{SS}) に立下げる。この電圧降下の開

始電位は上記中間電位 (V_{H10}) である。また、第2のトランジスタ (Q_2) は他方のビット線 ($\overline{b_0}$) に電源電圧 (V_{DD}) を与え、換言すると当該ビット線電位 (V_{H10}) を上昇させて電源電圧 (V_{DD}) に立上げる。この電圧上昇の開始電位は上記中間電位 (V_{H10}) である。

このように、一方のビット線電位は中間電位 (V_{H10}) から接地電位 (V_{SS}) に立下り、他方のビット線電位 (V_{H10}) は同じ中間電位から電源電圧 (V_{DD}) に立上る。その結果、ビット線対には電源電圧と接地電位との電位差が生じる。この電位差は差動センスアンプにより検出され、センスアンプから論理“0”のデータが読み出されたことになる。

かくして、ビット線電位は電源電圧と接地電位の間を立上ったり、立下ったりするのではなく、その中間電位から立上り、立下りが生じるため、その分だけ読み出し時間が短縮されることになる。
〔実施例〕

次に、本発明の実施例を図面に基づいて説明す

る。

第1図に本発明の実施例を示す。なお、第5図と同一もしくは重複する部分には同一符号を附して以下説明する。

第1図において、各メモリセルは、第1トランジスタ Q_1 および第2トランジスタ Q_2 の2つのトランジスタで構成される。第1および第2トランジスタ Q_1 , Q_2 のゲートはワード線 WL に共通接続されている。ビット線は2本一対のビット線対で構成され、それぞれを b_0 , $\overline{b_0}$, b_1 , $\overline{b_1}$ とする。第1トランジスタ Q_1 のドレインDは第1ビット線 b_0 に接続され、ソースSは接地電位 V_{SS} に接続されている。第2トランジスタ Q_2 のドレインDは第2ビット線 $\overline{b_0}$ に接続され、ソースSは電源電位 V_{DD} に接続されている。つまり、第1トランジスタ Q_1 と第2トランジスタ Q_2 にはそれぞれ逆の電位が与えられるようになっている。第1ビット線 b_0 と第2ビット線 $\overline{b_0}$ との間には、イコライズ用トランジスタ Q_3 が接続され、そのゲートGに読み出しイネーブル信号

ϕ が与えられるようになっている。また、第1ビット線 b_0 は差動センスアンプ5の十側入力端子に接続され、第2ビット線 $\overline{b_0}$ は差動センスアンプ5の一側入力端子に接続されている。

以上の構成単位で各メモリセルが構成されるので、他のメモリセル部分には対応する符号を附してその説明は省略する。

以上のメモリセルを用いたマスクROMをマスタースライス構造のIC上に実装する場合のパターン例を第3図(a)に示し、その対応する等価回路を第3図(b)に示す。第3図(a)に示すように、図上縦方向のA1配線をメタル第1層とし、横方向をメタル第2層として多層配線を行い、○印で示すコンタクトによりメタル第1層とトランジスタ Q_1 , Q_2 と接続し、●印で示すコンタクトによりメタル第1層と第2層を接続し、第1図に示す回路を構成する。

次に、動作を説明する(第2図参照)。

まず、読み出しイネーブル信号 ϕ もワード線 WL への選択信号も与えられていない状態、すな

わち当該メモリセルの読み出し以前の状態においては、前回の読み出し時での電位関係が第1ビット線 b_0 については“H”レベル(V_{b0})、第2ビット線 $\overline{b_0}$ については“L”レベル(V_{b0})とする。

いま、時刻 t_1 で読み出しイネーブル信号 ϕ (“H”レベル)が与えられたとする。すると、イコライズトランジスタ Q_3 はONとなり、第1ビット線 b_0 と第2ビット線 $\overline{b_0}$ が短絡される。この短絡より時刻 t_2 において第1ビット線 b_0 および第2ビット線 $\overline{b_0}$ 共に電源電位 V_{DD} (“H”レベル)と接地電位 V_{SS} (“L”レベル)との中間電位 V_{H10} でフローティング状態となる。例えば、 $V_{DD}=5V$ 、 $V_{SS}=0V$ とすると、 $V_{H10}=2.5V$ となる。

次に、ワード線 WL が選択されて活性化 (“H”レベル)されると、第1トランジスタ Q_1 および第2トランジスタ Q_2 共にONとなる。すると、第1トランジスタ Q_1 にあっては第1ビット線 b_0 の電位 V_{b0} を中間電位 V_{H10} から電源電位

V_{DD} に上昇させる。一方、第2トランジスタ Q_2 にあっては第2ビット線 $\overline{b_0}$ の電位 V_{b0} を中間電位 V_{H10} から接地電位 V_{SS} に降下せしめる。

その結果、第1ビット線 b_0 と第2ビット線 $\overline{b_0}$ 間には接地電位 V_{SS} と電源電位 V_{DD} 間の電位差に対応する差電圧が生じる。この差電圧は差動センスアンプに入力され、当該差動センスアンプは論理“0”のデータ D_1 を出力して読み出し動作を完了する。

以上のように、第1、第2のビット線 b_0 、 $\overline{b_0}$ の電位 V_{b0} 、 V_{b0} の変化は常に中間電位 V_{H10} から始まるため、従来のように V_{DD} と V_{SS} の電位間を変化することにより、データが時刻 t_4 で出力されるのと異なり目的電位 (V_{DD} 又は V_{SS}) までの到達時間が早くなり、このことは読み出し時間の短縮化、すなわち読み出し動作の高速化を達成することを意味する。

なお、本発明によれば、1つのメモリセルを2つのトランジスタ Q_1 、 Q_2 で構成することになり、従来の1トランジスタ方式に比べてトランジ

スタ数が増えることになる。しかし、本発明を汎用のICに適用する場合には使用可能なトランジスタに制限が生じるためにある程度制約を受けることになるが、ASIC (Application Specific IC) 等のカスタムICに適用する場合、ユーザの仕様により不使用トランジスタが出るのでそれを流用することが可能であるという点、および、たとえトランジスタ数が増加したとしても従来よりも大幅な読み出し時間の高速化 (約10ns) が可能となる点を考慮すれば、別段不利とはならない。(発明の効果)

以上に述べた通り、本発明によれば、データ読み出し時におけるビット線電位の変化量を小さくすることができるため、高速読み出しが可能となる。

4. 図面の簡単な説明

第1図は本発明の実施例を示す回路図、

第2図は本発明の動作説明図、

第3図(a)はマスタースライスICへの実装

例を示す平面図、(b)は対応する等価回路図、

第4図は従来のマスクROMの概要図、

第5図は従来のマスクROMのメモリセルの回路図である。

Q_1 … 第1トランジスタ

Q_2 … 第2トランジスタ

b_0 、 b_1 … 第1ビット線

$\overline{b_0}$ 、 $\overline{b_1}$ … 第2ビット線

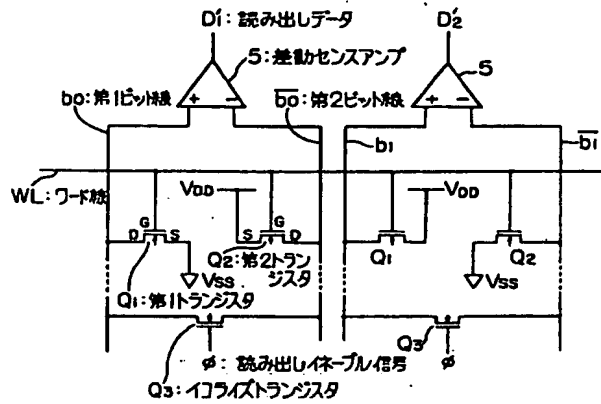
WL … ワード線

ϕ … 読み出しイネーブル信号

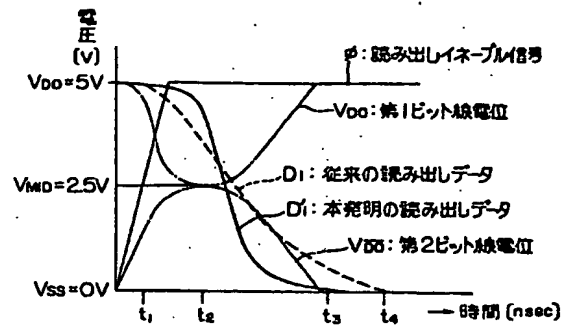
V_{DD} … 電源電位

V_{SS} … 接地電位

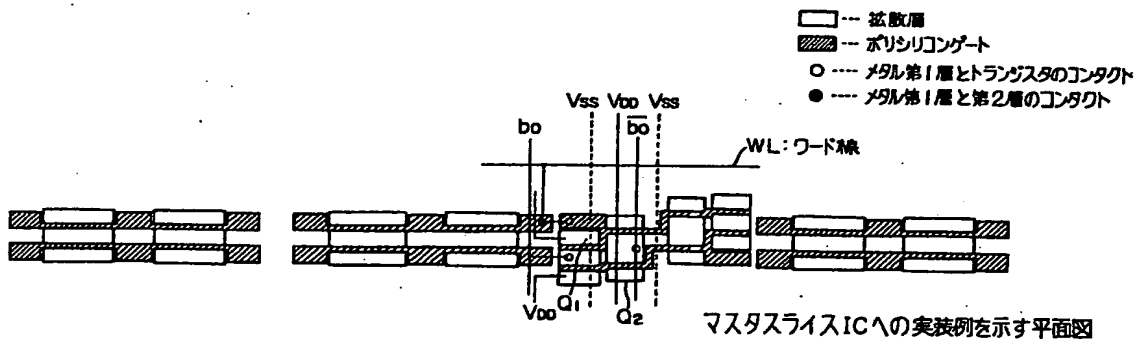
代理人弁理士 井 析 貞 一



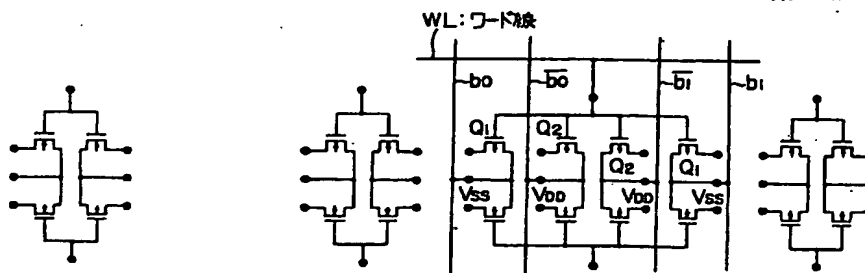
本発明の実施例を示す回路図
第1図



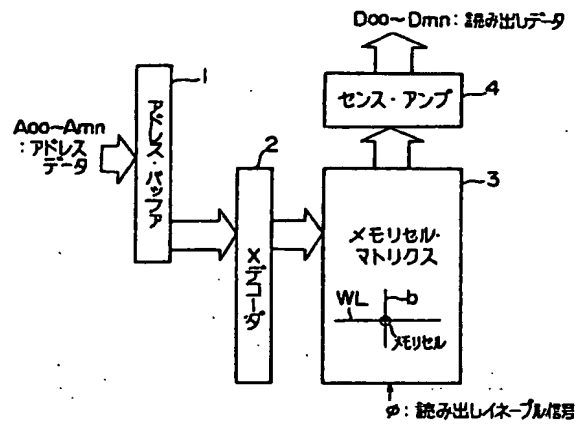
本発明の動作説明図
第2図



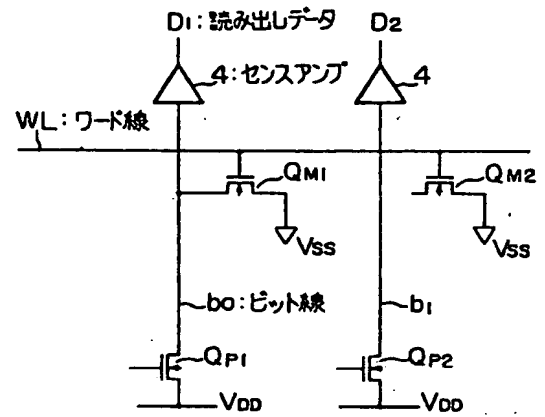
マスクスライスICへの実装例を示す平面図
第3図 (a)



対応する等価回路図
第3図 (b)



従来のマスクROMの概要図
第4図



従来のマスクROMのメモリセルの回路図
第5図